

# جانمایی مدار Equality Comparator دو بیتی بصورت سلول استاندارد به همراه استخراج و شبیه‌سازی بعد از جانمایی و بررسی تغییرات عملکرد مدار

احمد لشگر - ۸۱۰۱۸۹۲۲۹

ahmad.lashgar@gmail.com

بکاربردن می‌گردند.

جانمایی یک مدار با استفاده از عناصری مثل N-Well, Active, P-Select, N-Select, Metal1, Poly و Metal2 انجام می‌شود. این عناصر اگرچه از نمای بالا در یک سطح دیده می‌شوند ولی در واقع در ارتفاع‌های متفاوتی قرار دارند. ترتیب ارتفاعی لایه‌ها از کم‌ترین تا بیشترین عبارتند از: N-Well, Active, Poly, Metal1 و Metal2. برای اتصال دادن این لایه‌ها به هم، به‌نحوی که بین لایه‌ها ارتباط جریان برقرار شود، از contact و via استفاده می‌شود. برای پایه‌های درین و سورس استفاده می‌شود. Poly, PolyContact را به Metal1, ActiveContact اتصال می‌دهد و معمولاً را به Metal1 اتصال می‌دهد و برای هدایت جریان ورودی، به خازن گیت استفاده می‌شود. Via1 نیز Metal1 را به Metal2 اتصال می‌دهد.

برای تشکیل یک ترانزیستور NMOS، باید Active را به‌صورت عمودی از Poly عبور داد. همچنین باید Active را در N-Select قرار دهیم. در این حالت، عرض Poly همان L ترانزیستور و عرض Active همان W ترانزیستور خواهد شد. برای تشکیل یک PMOS، ابتدا باید یک N-Well ایجاد کرد که در این بدنه بتوانیم نفوذ P+ را در آن ایجاد کنیم. سپس Active را از Poly عبور می‌دهیم و البته باید Active را در P-Select قرار دهیم تا نرم‌افزار متوجه شوند که این Active یک p+ است. در کنار این ترانزیستورها یک سری ورودی داریم که به گیت‌های این ترانزیستورها متصل می‌شوند. این ورودی‌ها از طریق Metal1 به Poly می‌رسند و همانطور که گفتیم برای اتصال Metal1 و Poly از PolyContact استفاده می‌شود. با توجه به این توضیحات می‌توان گفت که قوانین طراحی حداقل فاصله‌ی بین ترانزیستورها و ورودی‌های آنها را و فاصله در چاه‌های n را مشخص می‌کنند. در جدول ۱ برخی از مهمترین قوانین

چکیده - در آزمایش گذشته اثرهای ناشی از تغییرات فرآیند ساخت، ولتاژ تغذیه و دما (PVT) بر توان مصرفی و تاخیر انتشار مدار Equality Comparator دوبیتی در حالت گذرا را با استفاده از نرم‌افزار HSPICE بررسی کرد. در این آزمایش، همین مدار را با طراحی دو سلول استاندارد XOR و NOR جانمایی می‌کنیم و طراحی این مدار را در سطح چینش انجام می‌دهیم. سپس کلیه پارامترهایی که در آزمایش قبلی اندازه‌گیری شدند را اندازه‌گیری می‌کنیم و سپس نتایج را مقایسه می‌نماییم. در این آزمایش از نرم‌افزار LEedit و کتابخانه‌ی MHP\_N05.tdb برای چینش استفاده می‌کنیم و با استخراج Netlist از آن، به کمک HSPICE شبیه‌سازی نهایی را انجام می‌دهیم. در HSPICE از کتابخانه‌ی mm018.1 استفاده شده است که ترانزیستورهای CMOS در تکنولوژی ۰.۱۸ میکرون را شبیه‌سازی می‌کند.

## ۱. مقدمه

در جانمایی و طراحی مدارات VLSI، قوانینی وجود دارند که قوانین طراحی نامیده می‌شوند. این قوانین برای لحاظ کردن خطاهای جابجایی ماسک و خطاهای دقیق نبودن عملیات ماسکین تعریف شده‌اند. طراح با رعایت این قوانین اطمینان حاصل می‌کند که به‌علت جابجایی ماسک در محدوده‌ی مجاز، عملکرد مدار وی خراب نمی‌شود.

قوانین طراحی عمدتاً حداقل فاصله‌ی مجاز اجزای مختلف را تعریف می‌کنند. بخشی دیگر از قوانین طراحی نیز حداقل پهنای هر جز را تعریف می‌کنند. این فاصله‌ها به‌صورت ضریبی از  $\lambda$  تعریف می‌شوند که  $\lambda$  برابر نصف طول کانال است. بدین ترتیب قوانین طراحی مقیاس‌پذیر می‌شوند و در هر تکنولوژی ساختی قابل

جدول ۱. حداقل فاصله اجزای مختلف جانمایی. Ov نشان‌دهنده‌ی overlap یا فاصله‌ی پوشش است و برای طرفین اتصالات تعریف می‌شود و بدین معنی است که عنصری که اتصال داده شده به چه اندازه‌ای خارج از اتصال باید ادامه پیدا کند تا اطمینان حاصل شود که ارتباط برقرار شده است. درباره‌ی فاصله‌ی دو nwell توجه شود که اگر هم پتانسیل باشند ۶ و اگر غیر هم پتانسیل باشند این فاصله ۹ است. بخش‌هایی که با \* مشخص شده‌اند بدین معنی اند که طرفین در لایه‌های متفاوتی هستند و نیازی به رعایت فاصله‌ای نیست. علامت - این بدین معنی است که فاصله‌ای که باید رعایت شود با توجه به ۰v و جنس طرفین اتصال از باقی قسمت‌های جدول قابل محاسبه است. (مقادیر برحسب  $\lambda$  هستند و از راهنمای فایل تکنولوژی موجود در LEdit که MHP\_N05.TDP نام دارد استخراج شده‌اند [3]).

|               | active | metal1 | metal2 | poly | nwell | pselect | nselect | activecontact | polycontact | via1   | minwidth |
|---------------|--------|--------|--------|------|-------|---------|---------|---------------|-------------|--------|----------|
| active        | 3      | *      | *      | 1    | 5     | 2       | 2       | 1.5 (ov)      | -           | -      | 3        |
| metal1        |        | 3      | *      | *    | *     | *       | *       | 1 (ov)        | 1 (ov)      | 1 (ov) | 3        |
| metal2        |        |        | 4      | *    | *     | *       | *       | -             | -           | 1 (ov) | 3        |
| poly          |        |        |        | 2    | *     | *       | *       | -             | 1 (ov)      | -      | 2        |
| nwell         |        |        |        |      | 6-9   | *       | *       | -             | -           | -      | 10*10    |
| pselect       |        |        |        |      |       | 2       | 0       | 1             | 1           | -      | 2        |
| nselect       |        |        |        |      |       |         | 2       | 1             | 1           | -      | 2        |
| activecontact |        |        |        |      |       |         |         | 2             | -           | 2      | 2*2      |
| polycontact   |        |        |        |      |       |         |         |               | 2           | 2      | 2*2      |
| via1          |        |        |        |      |       |         |         |               |             | 3      | 2*2      |

طراحی را مشاهده می‌کنید.

گوشه‌های ولتاژ، ولتاژ تغذیه را در محدوده مشخص جاروب می‌کنیم و برای مدل کردن گوشه‌های دمایی، دمای شبیه‌سازی را تغییر می‌دهیم.

در بخش دوم به معرفی مداری که شبیه‌سازی‌ها روی آن انجام می‌شود می‌پردازیم و سلول‌های استاندارد استفاده شده را نشان می‌دهیم و چپ‌نشان نهایی مدار کامل را نمایش می‌دهیم. در بخش ۳، نحوه‌ی اندازه‌گیری مشخصاتی که اندازه‌گیری خواهند شد را معرفی می‌کنیم. در بخش ۴، بخش‌های آزمایش را معرفی می‌کنیم و در بخش ۵ نتایج این بخش‌های را در قالب جدول یا منحنی ارائه می‌کنیم. در بخش ۶ مقایسه‌ای بین مشخصات این مدار تولید شده توسط جانمایی، با مداری که کاملاً با HSPICE نوشته شده و تاثیر خازن‌های پارازیتی در آن دیده نمی‌شود (آزمایش قبل)، انجام می‌دهیم. در بخش ۷ نتیجه‌گیری خواهیم کرد و در پیوست، Netlist مقایسه‌گر دوبیتی و همچنین کد بخش‌های مختلف آزمایش را می‌آوریم.

## ۲. مدار مقایسه‌گر دوبیتی

مدار مقایسه‌گر دوبیتی، دو ورودی دوبیتی دارد و در حالتی که بیت‌های کم‌ارزش و پرارزش ورودی‌ها برابر باشند، تک خروجی مدار به منطق ۱ می‌رود. طراحی در سطح گیت این مدار را در تصویر ۱ مشاهده می‌کنید.

تابع منطقی که برای پیاده‌سازی XOR استفاده شده است، معکوس تابع منطقی XNOR است:

مداری که ساخته می‌شود، بسته به اینکه برای چه مقصودی ساخته شده (نظامی، خانگی و ...)، باید قادر باشد تا محدوده‌ای از دمای محیط را تحمل کند. مدار باید در گوشه‌های محدوده‌ی دمایی امتحان شود و حداقل، صرف نظر از کارایی بهینه، کارایی صحیح مدار در این محدوده تضمین شود. گوشه‌ای که مدار در کندترین سرعت کار می‌کند برای بدست آوردن پارامترهای زمان‌بندی، شبیه‌سازی می‌شود و گوشه‌ای که بیشترین سرعت را دارد برای بدست آوردن توان مصرفی و تحلیل نویز اهمیت دارد [1].

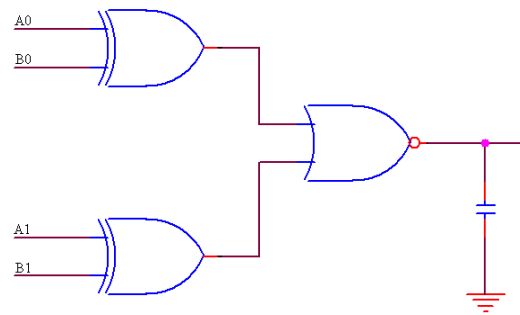
در مدارات دیجیتال، مهمترین پارامترهایی که گوشه‌های طراحی را مشخص می‌کنند عبارتند از ترانزیستورها، سیم‌ها، ولتاژ تغذیه و دمای محیط کار [1]. در این آزمایش با لحاظ کردن پارامترهای ترانزیستور، ولتاژ و دما، پارامترهای توان و تاخیر انتشار را در گوشه‌ها با استفاده از شبیه‌ساز HSPICE بدست می‌آوریم. این شبیه‌ساز برای مدل کردن فرآیندهای ساخت متفاوت، ۵ مدل برای ترانزیستورها دارد: SS، FS، SF و SS. طبقه نام‌گذاری این مدل‌ها بر حسب سرعت ترانزیستورها است؛ S به معنی slow با کند، F به معنی Fast یا سریع و T به معنی Typical یا متوسط. در این مدل‌ها حرف اول معرف سرعت NMOS و حرف دوم معرف سرعت PMOS است. بدین ترتیب SS یعنی مدلی است که در آن NMOSها و PMOSها کند هستند و FS به معنی مدلی است که در آن NMOSها سریع و PMOSها کند هستند. برای مدل کردن

المانی که در خروجی این مدار قرار داده شده است، برای مدل کردن طبقه‌ی بعدی است که مدار به آن متصل می‌شود. از آنجایی که ورودی مدارهای CMOS با یک بار خازنی مدل می‌شود، این المان یک خازن است. توجه شود که هرکدام از ورودی‌های مدار، پیش از آنکه به گیت ترانزیستورها متصل شوند، از یک بافر گذرانده شده‌اند. این بافر را در تصویر ۳ مشاهده می‌کنید.

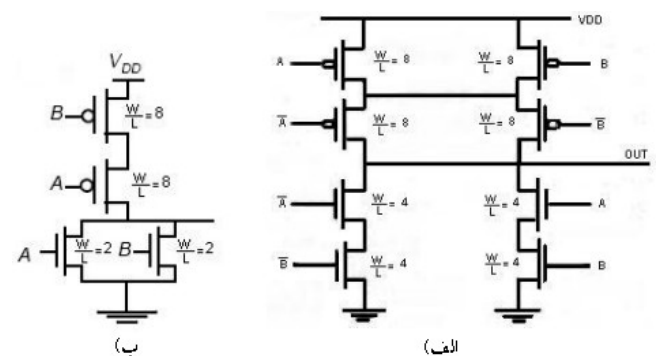
برای طراحی مدار مقایسه‌گر در سطح VLSI، از سلول‌های استاندارد استفاده شده است. در طراحی نیمه‌هادی، سلول استاندارد روشی برای طراحی مدارات مجتمعی با کاربرد خاص (ASIC) با بیشترین ویژگی‌های دیجیتال است [4]. طراحی مبتنی بر سلول، طراحی را قادر می‌سازد با استفاده از سلول‌ها طراحی را در سطح بالاتری انجام دهد.

در این آزمایش ابتدا دو سلول XOR و NOR دو ورودی با LEdit طراحی کردیم و ارتفاع هر دو آنها را ۶۰ لامپدا در نظر گرفتیم. دو سلول استاندارد NOR و XOR که در این آزمایش استفاده شده‌اند در تصویر ۴ ملاحظه می‌کنید. سپس در طرح جدیدی، دو نمونه از سلول XOR و یک نمونه از سلول NOR از طریق منوی Cell > instance ایجاد کردیم و آنها را بین دو ریل موازی تغذیه و زمین آن قرار دادیم و با رسم Routing‌های بین سلول‌ها مدار مقایسه‌گر ۲ بیتی را ساختیم. در جدول ۲، Periphery و Area ترانزیستورهای این سلول‌ها ذکر شده است که Periphery برابر مساحت Active به غیر از مساحت گیت و Bulk برابر مساحت Active به غیر از مساحت Bulk و گیت است.

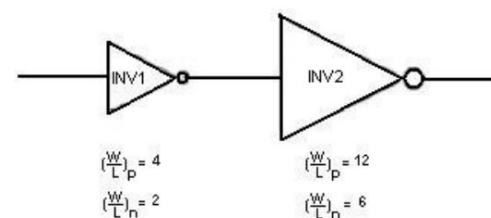
تصویر ۵ پیاده‌سازی جانمایی کامل مدار مقایسه‌گر را نشان می‌دهد که در آن از دو سلول استاندارد XOR و یک سلول NOR استفاده شده است. پس از طراحی کامل سلول مقایسه‌گر دوبیتی، Netlist آن را از LEdit استخراج کردیم و با HSPICE شبیه‌سازی نمودیم. تنها تغییری که در Netlist ایجاد کردیم، تعویض نام PMOS و NMOS با PCH و NCH بود. شایان ذکر است که این Netlist در مقایسه با مداری که در آزمایش‌های پیشین شبیه‌سازی می‌شد دارای خازن‌های پارازیتی مختلفی است که بزرگترین‌های آنها خازن خروجی سلول‌های XOR، خازن Vdd، خازن Gnd و خازن پایه‌ای از PMOS‌های XOR که به Metal2 اتصال دارد، هستند که مقادیر آنها در Netlist آمده است. در پیوست الف این Netlist را می‌توانید مشاهده کنید.



تصویر ۱. مقایسه‌گر برابری دوبیتی. A[1..0] و B[1..0] ورودی‌های مدار هستند که اگر با هم برابر باشند، خروجی گیت‌های XOR منطق ۰ خواهد شد و خروجی گیت NOR به منطق ۱ می‌رود.



تصویر ۲. پیاده‌سازی ترانزیستوری (الف) گیت XOR. (ب) گیت NOR (تصاویر از [2])



تصویر ۳. بافر استفاده شده در ورودی پایه‌ی گیت تمامی ترانزیستورها.

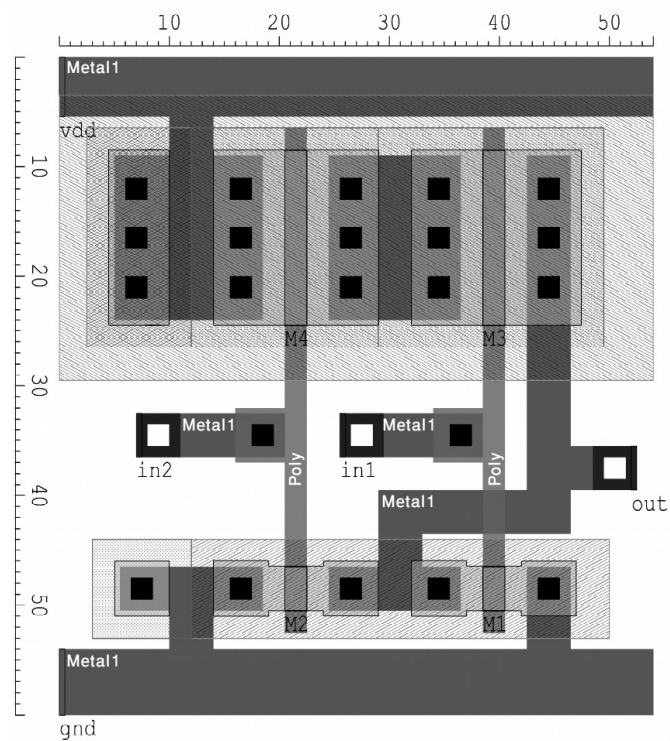
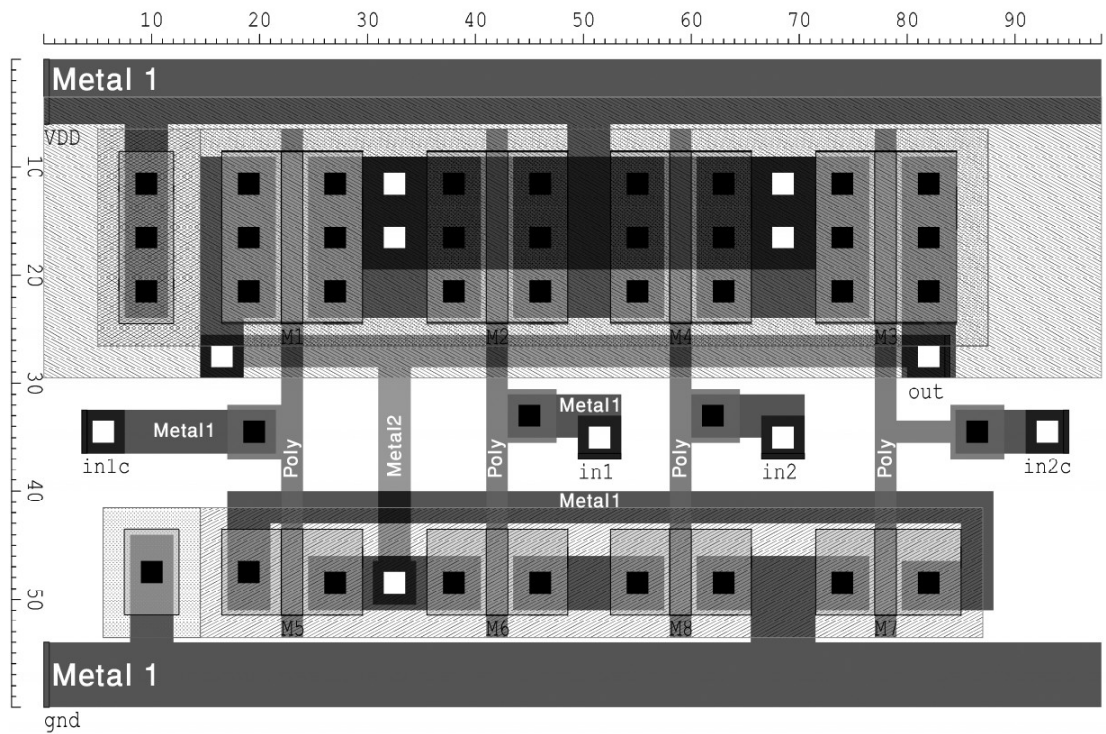
$$\text{XOR}(A,B) = \text{NOT}(\text{XNOR}(A,B)) = (AB + A^c B^c)^c$$

توجه شود که در رابطه بالا، علامت  $c$  به معنی مکمل است. برای ساخت گیت XOR با استفاده از رابطه بالا، در سطح ترانزیستوری به ۴ ترانزیستور نوع n و ۴ ترانزیستور نوع p احتیاج داریم. در تصویر ۲ (الف) پیاده‌سازی ترانزیستوری XOR را مشاهده می‌کنید.

گیت NOR نیز با استفاده از رابطه‌ی زیر:

$$\text{NOR}(A,B) = (A+B)^c$$

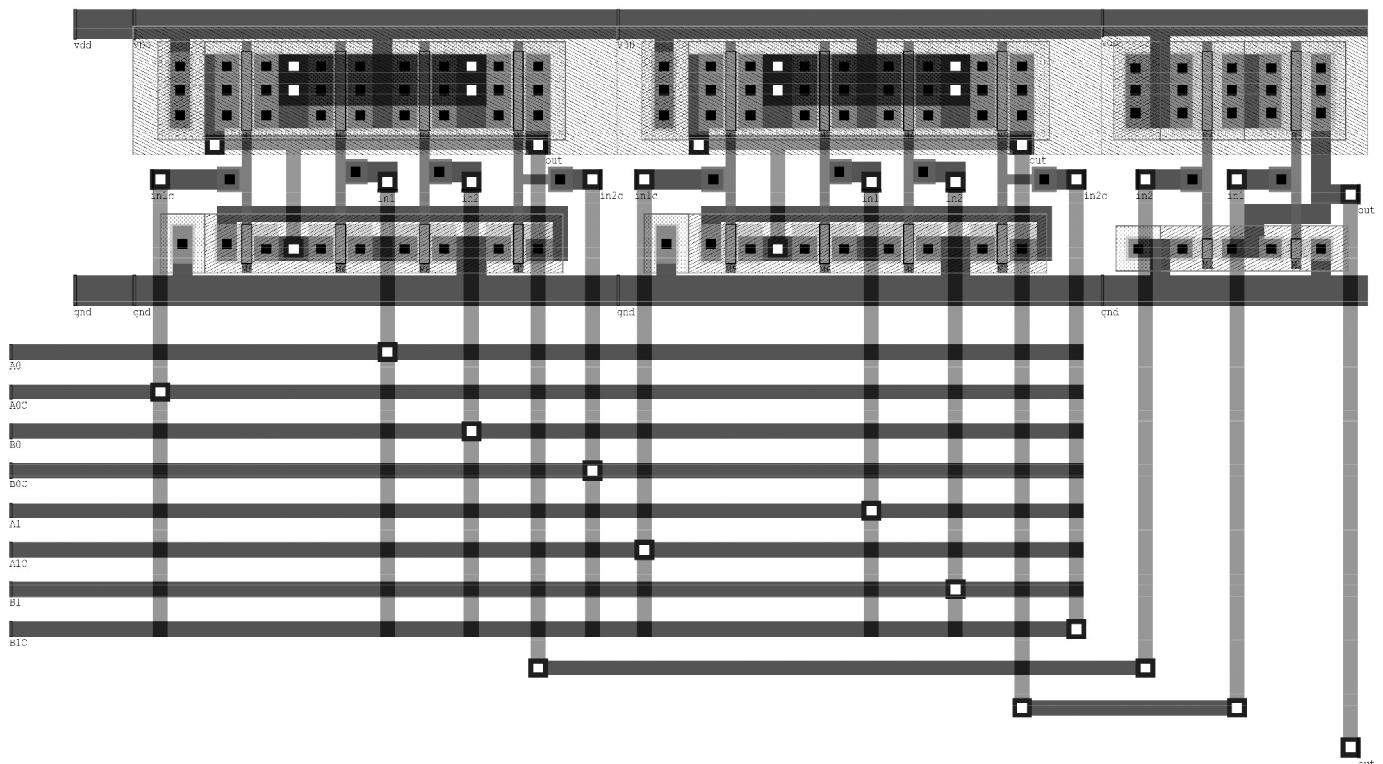
و با استفاده از ۲ ترانزیستور نوع n و دو ترانزیستور نوع p قابل ساخت است. برای طراحی مدار مقایسه‌گر برابری دو بیتی از دو گیت XOR و یک گیت NOR با ساختارهای ترانزیستوری مذکور، استفاده شده است.



تصویر ۴. چینش سلول‌های استاندارد الف) گیت XOR. ب) گیت NOR

جدول ۲. مشخصات Area و Periphery ترانزیستورهای PMOS و NMOS در سلول‌های XOR و NOR. (برحسب  $\lambda^2$ )

|     | PMOS <sub>Periphery</sub> | PMOS <sub>Area</sub> | NMOS <sub>Periphery</sub> | NMOS <sub>Area</sub> |
|-----|---------------------------|----------------------|---------------------------|----------------------|
| XOR | 20.5*16                   | 11*16                | 20*8                      | 11*8                 |
| NOR | 22.5*16                   | 13*16                | 22*5-2*0.5*5              | 13*5-2*0.5*5         |



تصویر ۵. جانمایی مدار مقایسه‌گر دوبیتی

جدول ۳. محاسبه‌ی تاخیر انتشار و ماکزیمم توان مصرفی برای گوشه‌های PVT (بیش‌ترین و کم‌ترین bold شده‌اند). علامت - و + نشان می‌دهند که عدد بدست آمده برای این مدار حاصل جانمایی در مقایسه با نتایج آزمایش دوم به‌ترتیب کمتر بوده‌اند یا بیشتر ولی اطلاعاتی درباره میزان اختلاف نمی‌دهند.

| Proc.     | Temp.     | Volt.      | Pow. Peak        | Prop. Delay      |
|-----------|-----------|------------|------------------|------------------|
| TT        | 0         | 1.6        | -729.92uw        | +206.55ps        |
| TT        | 0         | 2          | +1578.3uw        | +161.90ps        |
| TT        | 90        | 1.6        | +626.97uw        | +232.03ps        |
| TT        | 90        | 2          | +1421.2uw        | +183.06ps        |
| SS        | 0         | 1.6        | -636.30uw        | +265.66ps        |
| SS        | 0         | 2          | +1276.2uw        | +200.64ps        |
| SS        | <b>90</b> | <b>1.6</b> | <b>-477.07uw</b> | <b>+299.62ps</b> |
| SS        | 90        | 2          | -1162.9uw        | +228.65ps        |
| SF        | 0         | 1.6        | +760.46mw        | +204.45ps        |
| SF        | 0         | 2          | -1574.8uw        | +160.78ps        |
| SF        | 90        | 1.6        | +735.88uw        | +230.84ps        |
| SF        | 90        | 2          | +1437.8uw        | +182.53ps        |
| FS        | 0         | 1.6        | -714.50uw        | +212.66ps        |
| FS        | 0         | 2          | -1531.6uw        | +164.29ps        |
| FS        | 90        | 1.6        | -634.27uw        | +236.57ps        |
| FS        | 90        | 2          | -1379.3uw        | +185.18ps        |
| FF        | 0         | 1.6        | +975.74mw        | +161.66ps        |
| <b>FF</b> | <b>0</b>  | <b>2</b>   | <b>+1960.2uw</b> | <b>+130.97ps</b> |
| FF        | 90        | 1.6        | -904.50uw        | +180.52ps        |
| FF        | 90        | 2          | -1792.3uw        | +146.79ps        |

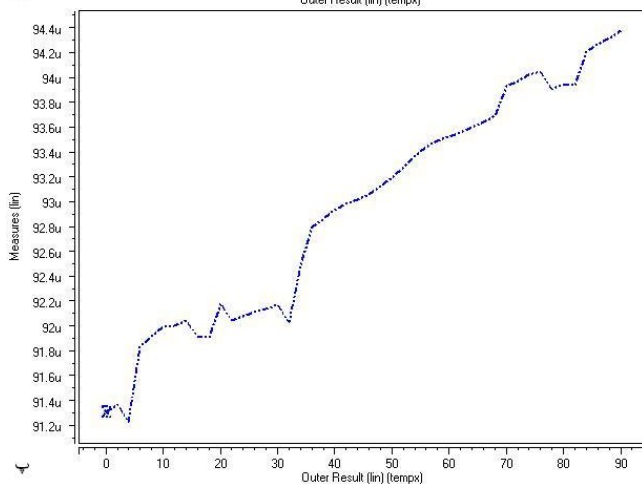
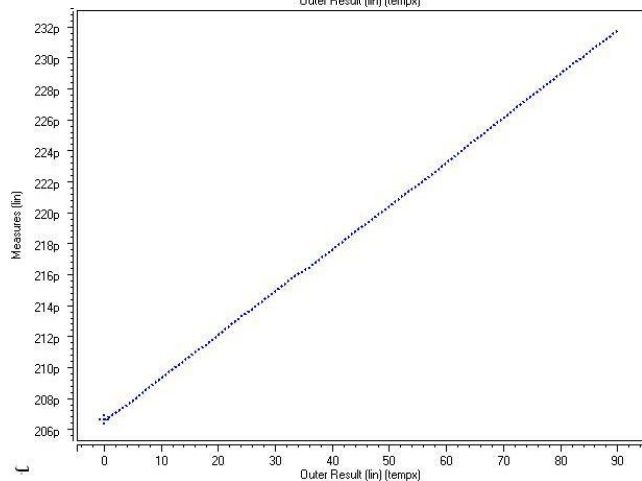
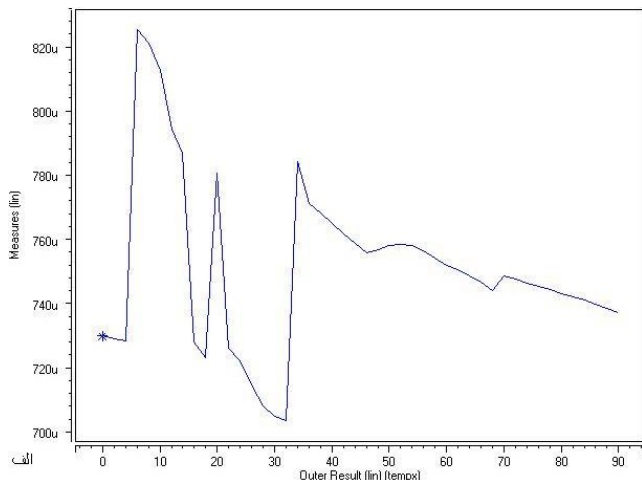
## ۵. نتایج آزمایش

### الف. تاخیر انتشار و حداکثر توان مصرفی

پیش‌بینی می‌شود که بیشترین سرعت در حالتی رخ دهد که از ترانزیستورهای FF در دمای پایین و با ولتاژ تغذیه بالا استفاده می‌کنیم. زیرا هرچه ولتاژ تغذیه بیشتر باشد، خازن بار با نرخ سریع‌تری شارژ می‌شود. همانطوری که نتیجه شبیه‌سازی نشان می‌دهد (جدول ۳)، این پیش‌بینی در عمل هم درست است.

در جدول ۳. تاخیر انتشار و توان مصرفی برای ۲۰ گوشه‌ی PVT را مشاهده می‌کنید. ماکزیمم توان مصرفی با بالا رفتن دما کمتر می‌شود. ماکزیمم توان مصرفی لحظه‌ای در یک تحلیل گذرا، زمانی است که خروجی مدار در حال تغییر وضعیت منطقی است. چون با بالا رفتن دما جنب و جوش مولکول‌ها بیشتر می‌شود، مقاومت بخش‌های مختلف مدار بالا می‌رود، و اجازه تغییر وضعیت سریع به مدار داده نمی‌شود و چون مدار در زمان بلندتری تغییر وضعیت می‌دهد، طبق رابطه‌ی  $P=dE/dt$ ، پیک توان مصرفی آن (که در لحظه تغییر وضعیت رخ می‌دهد) کم می‌شود.

در بین این ۲۰ گوشه، بیشترین ماکزیمم توان مصرفی را نیز همان حالتی دارد که سریع‌ترین است. کمترین ماکزیمم توان



تصویر ۶. نمودار تغییرات برحسب دما در گوشه‌ی TT. الف) حداکثر توان مصرفی. ب) تاخیر انتشار ب) میانگین توان مصرفی

۵ ارائه شد، با نتایج آزمایش قبل مقایسه می‌کنیم. مقایسه مشخصات گوشه‌های Process Variation را در بخش ۵.الف انجام دادیم. در جدول ۴ و ۵ مقایسه قسمت‌های ۵.ب و ۵.پ را مشاهده می‌کنید.

مصرفی و بیشترین تاخیر انتشار (کندترین) را گوشه‌ی SS در دمای ۹۰ و ولتاژ تغذیه ۱.۶ ولت دارد. این دو گوشه در جدول ۳. bold شده‌اند. کد این بخش در ضمیمه الف. قرار داده شده است.

#### ب. تاثیر تغییر دما بر تاخیر انتشار و اتلاف توان

در تصویر ۶.الف. منحنی تغییرات حداکثر اتلاف توان بر حسب تغییرات دما را مشاهده می‌کنید. همانطوری که در بخش ۴.الف. توضیح داده شد، با افزایش دما، بیشینه اتلاف توان کم می‌شود.

تصویر ۶.ب. منحنی تغییرات تاخیر انتشار بر حسب تغییرات دما را نشان می‌دهد. علت افزایش تاخیر انتشار آن است که، اگرچه با افزایش دما ولتاژ ترشولد ( $V_T$ ) کم می‌شود و ولتاژ موثر شارژ خازن گیت بیشتر می‌شود، اما در دمای بالا تحرک مولکول‌ها بیشتر است و مقاومت بخش‌های مدار را افزایش می‌دهد و موبیلیتی  $\mu$  بشدت کاهش می‌یابد. کاهش موبیلیتی بر کاهش ولتاژ ترشولد چیره می‌شود و طبق رابطه‌ی  $I_{DS} = \mu_n C_{ox} W/L * [(V_{GS} - V_T) * V_{DS} - V_{DS}^2/2]$  جریان کم می‌شود. این جریان کم شده، با سرعت کم‌تری خازن بار را شارژ می‌کند که باعث می‌شود تاخیر انتشار بالا رود.

تصویر ۶.پ. نیز توان مصرفی میانگین برحسب تغییرات دما در تحلیل گذرا را نشان می‌دهد. همانطوری که این تصویر نشان می‌دهد، توان مصرفی میانگین با افزایش دما افزایش می‌یابد. علت اصلی این افزایش توان اتلافی، افزایش تحرک مولکول‌های است که انرژی بیشتری را تلف می‌کنند و این اتلاف انرژی بیشتر در زمان ثابت، منجر به افزایش توان اتلافی میانگین می‌شود. کد این بخش در ضمیمه ب. قرار داده شده است.

#### پ. تاثیر تغییر ولتاژ بر تاخیر انتشار در اتلاف توان

در تصویر ۶.الف. منحنی تغییرات حداکثر توان مصرفی برحسب تغییرات ولتاژ را مشاهده می‌کنید. این تغییرات بسیار شدید است و از ۰.۷ میلی‌وات تا ۱.۵ میلی‌وات افزایش پیدا می‌کند. در تصویر ۶.ب. تغییرات تاخیر انتشار برحسب تغییرات ولتاژ را مشاهده می‌کنید. واضح است که با افزایش ولتاژ، تاخیر انتشار کم می‌شود زیرا خازن بار سریع‌تر شارژ می‌گردد. در تصویر ۶.پ. منحنی تغییرات حاصل‌ضرب توان در تاخیر انتشار را مشاهده می‌کنید که هرچه کمتر شود، مطلوب‌تر است. کد این بخش در ضمیمه ت. قرار داده شده است.

#### ۶. مقایسه با نتایج آزمایش قبل

در این بخش نتایج بدست آمده در این آزمایش را که در بخش

جدول ۴. مقایسه نتایج بدست آمده از آزمایش پیشین و آزمایش جاری در هنگام تغییرات دما در بازه‌ی [0-90] درجه‌ی سانتی‌گراد.

|              | بازه‌ی تغییرات  |                 |
|--------------|-----------------|-----------------|
|              | آزمایش پیشین    | آزمایش جاری     |
| توان حداکثر  | [820uw-740uw]   | [820uw-740uw]   |
| تاخیر انتشار | [140ps-166ps]   | [207ps-232ps]   |
| توان متوسط   | [79.5uw-82.5uw] | [91.4uw-94.4uw] |

جدول ۵. مقایسه نتایج بدست آمده از آزمایش پیشین و آزمایش جاری در هنگام تغییرات ولتاژ در بازه‌ی [1.6-2] ولت.

|                     | بازه‌ی تغییرات |                |
|---------------------|----------------|----------------|
|                     | آزمایش پیشین   | آزمایش جاری    |
| توان حداکثر         | [720uw-1600uw] | [700uw-1500uw] |
| تاخیر انتشار        | [155ps-120ps]  | [215ps-165ps]  |
| حاصل‌ضرب تاخیر توان | [105f-180f]    | [19.5f-25f]    |

## مراجع

- [1] Neil H.E. Weste, David Harris, "CMOS VLSI Design: A Circuits and Systems Perspective," 3th ed. pp. 233-241.
- [2] 1<sup>st</sup> Assignment of Advanced VLSI, University of Tehran, Fall 89: <https://ece.ut.ac.ir:8888/mod/resource/view.php?id=5864>
- [3] LEdit 8.3 Program, Samples\TECH\MOSIS\MHP\_N05.TDB
- [4] [http://en.wikipedia.org/wiki/Standard\\_cell](http://en.wikipedia.org/wiki/Standard_cell)

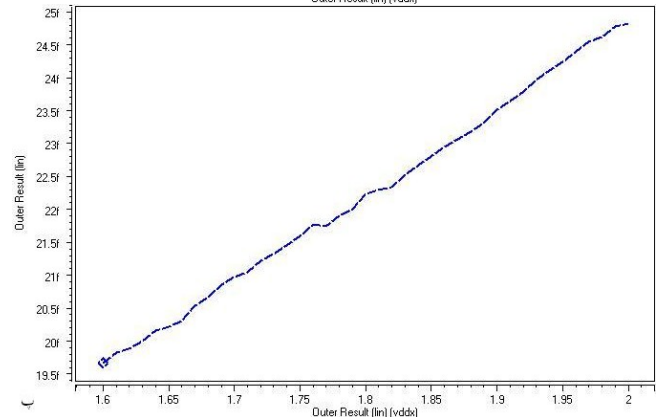
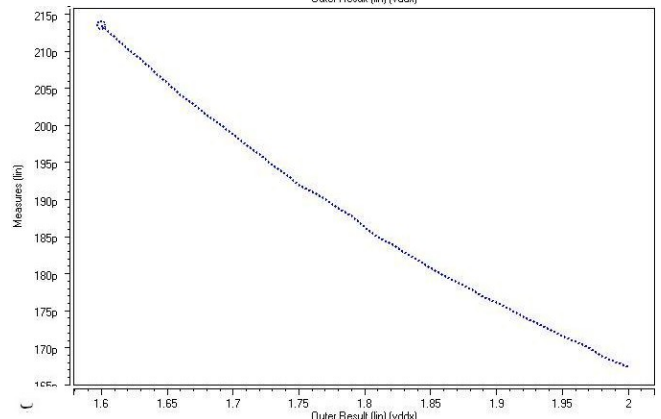
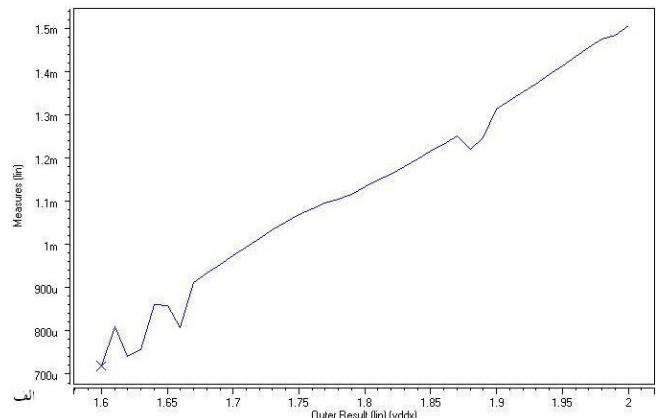
## پیوست

### الف.

مدار مقایسه‌گر برابری دوبیتی که در بخش ۴.الف تا ۴.پ استفاده شد، دارای Netlist زیر است. توجه شود که Netlist از LEdit استخراج شده است (در هنگام استخراج پارامتر Ignore nodal parasitic capacitance کمتر از ۱ فمتوفاراد در نظر گرفته شده است):

```
Cpar1 1 0 C=1.6126128f
Cpar2 U0/out 0 C=1.9389172f
Cpar3 3 0 C=2.8194723f
Cpar4 6 0 C=2.8194723f
Cpar5 vdd 0 C=5.1841134f
Cpar6 out 0 C=1.2266154f
Cpar7 U1/out 0 C=2.0047702f
Cpar8 gnd 0 C=2.389662f
```

```
M_U2/M1 gnd U0/out out gnd NCH L=180n W=360n
+AD=251.1f PD=2.07u AS=251.1f PS=2.07u
M_U2/M2 out U1/out gnd gnd NCH L=180n W=360n
+AD=251.1f PD=2.07u AS=251.1f PS=2.07u
M_U0/M7 4 B1C gnd gnd NCH L=180n W=720n
+AD=388.8f PD=2.52u AS=356.4f PS=2.43u
M_U2/M3 out U0/out 1 vdd PCH L=180n W=1.44u
+AD=907.2f PD=4.14u AS=842.4f PS=4.05u
M_U2/M4 1 U1/out vdd vdd PCH L=180n W=1.44u
+AD=842.4f PD=4.05u AS=842.4f PS=4.05u
M_U0/M3 U0/out B1C 3 vdd PCH L=180n W=1.44u
+AD=712.8f PD=3.87u AS=712.8f PS=3.87u
M_U0/M5 U0/out A1C 4 gnd NCH L=180n W=720n
```



تصویر ۷. نمودار تغییرات برحسب ولتاژ در گوشه‌ی TT. الف) حداکثر توان مصرفی. ب) تاخیر انتشار پ) حاصل‌ضرب تاخیر در توان

## ۷. نتیجه‌گیری

مدار آزمایش فعلی از لحاظ توان مصرفی وضعیت بهتری نسبت به آزمایش قبل دارد. اما تاخیر انتشار آن به علت تاخیر انتشار آن بسیار بیشتر از آزمایش قبل است.

X8 38B1C VDD buffer

کدهایی که تا اینجا گفته شدند، بین قسمت‌های ۴.۴ الف تا ۴.۴ پ مشترک هستند. برای بدست آوردن تمام پارمترهای مطلوب در بخش ۴.۴ الف. با یک اجرا از DATA. استفاده کردیم تا مقادیر دما و ولتاژ تغذیه را به تناوب عوض کند. همچنین برای تغییر کتابخانه ترانزیستورها از TT به SS و ... از دستور ALTER استفاده کردیم. در زیر کدهای لازم برای این کار را مشاهده می‌کنید:

```
.INCLUDE ./EqComp.spc

.DATA datalist tempv vddx
    0 1.6v
    0 2v
    90 1.6v
    90 2v

.ENDDATA

.MEASURE TRAN tplt TRIG V(A0) VAL='VDDx/2'
+ FALL=1 TARG V(out) VAL='VDDx/2' RISE=1
.MEASURE TRAN tplt TRIG V(A0) VAL='VDDx/2'
+ RISE=1 TARG V(out) VAL='VDDx/2' FALL=1
.MEASURE TRAN tpd PARAM='(tplt + tplt)/2'
.meas TRAN PeakPower max Power
+ from=0NS to=2NS
.TRAN 1PS 4NS SWEEP DATA=datalist
.TEMP tempv

.ALTER CASE2: CASE2
.DEL './mm018.1' TT
.LIB './mm018.1' SS

.ALTER CASE3: CASE3
.DEL './mm018.1' SS
.LIB './mm018.1' SF

.ALTER CASE4: CASE4
.DEL './mm018.1' FS
.LIB './mm018.1' SF

.ALTER CASE5: CASE5
.DEL './mm018.1' FS
.LIB './mm018.1' FF

.options post
.end
```

ب.

کد Netlist این بخش کاملاً مشابه Netlist بخش الف. است. برای شبیه‌سازی و بدست آوردن نمودارهای تاخیر انتشار و توان حداکثر و میانگین بر حسب تغییر دما، دستورات زیر را هم اضافه

می‌کنیم:

```
.MEASURE TRAN tplt TRIG V(A0) VAL='VDDx/2'
+ FALL=1 TARG V(out) VAL='VDDx/2' RISE=1
.MEASURE TRAN tplt TRIG V(A0) VAL='VDDx/2'
+ RISE=1 TARG V(out) VAL='VDDx/2' FALL=1
.MEASURE TRAN tpd PARAM='(tplt + tplt)/2'
.meas tran PeakPower max Power
+ from=0NS to=4NS
.meas tran AvgPower Avg Power
+ from=0NS to=4NS
.TRAN 1PS 4NS SWEEP tempv 0 90 2
.TEMP tempv
```

پ.

```
+AD=356.4f PD=2.43u AS=356.4f PS=2.43u
M_U0/M6 5 A1 U0/out gnd NCH L=180n W=720n
+AD=356.4f PD=2.43u AS=356.4f PS=2.43u
M_U0/M8 gnd B1 5 gnd NCH L=180n W=720n
+AD=356.4f PD=2.43u AS=356.4f PS=2.43u
M_U1/M7 8 B0C gnd gnd NCH L=180n W=720n
+AD=388.8f PD=2.52u AS=356.4f PS=2.43u
M_U0/M1 3 A1C U0/out vdd PCH L=180n W=1.44u
+AD=712.8f PD=3.87u AS=712.8f PS=3.87u
M_U0/M2 vdd A1 3 vdd PCH L=180n W=1.44u
+AD=712.8f PD=3.87u AS=712.8f PS=3.87u
M_U0/M4 3 B1 vdd vdd PCH L=180n W=1.44u
+AD=712.8f PD=3.87u AS=712.8f PS=3.87u
M_U1/M3 U1/out B0C 6 vdd PCH L=180n W=1.44u
+AD=712.8f PD=3.87u AS=712.8f PS=3.87u
M_U1/M5 U1/out A0C 8 gnd NCH L=180n W=720n
+AD=356.4f PD=2.43u AS=356.4f PS=2.43u
M_U1/M6 9 A0 U1/out gnd NCH L=180n W=720n
+AD=356.4f PD=2.43u AS=356.4f PS=2.43u
M_U1/M8 gnd B0 9 gnd NCH L=180n W=720n
+AD=356.4f PD=2.43u AS=356.4f PS=2.43u
M_U1/M1 6 A0C U1/out vdd PCH L=180n W=1.44u
+AD=712.8f PD=3.87u AS=712.8f PS=3.87u
M_U1/M2 vdd A0 6 vdd PCH L=180n W=1.44u
+AD=712.8f PD=3.87u AS=712.8f PS=3.87u
M_U1/M4 6 B0 vdd vdd PCH L=180n W=1.44u
+AD=712.8f PD=3.87u AS=712.8f PS=3.87u
```

به Netlist تولید شده توسط LEdit خطوط زیر را هم اضافه

می‌کنیم تا بار خروجی هم‌اندازه‌ی بار آزمایش پیشین شود:

```
.param Cx=10fF
Cout out 0 Cx
```

همچنین کتابخانه‌ی ۰.۱۸ میکرون را هم با دستور زیر استفاد

می‌کنیم:

```
.LIB './mm018.1' TT
```

پالس‌های ورودی و بافری که ورودی‌ها از آن می‌گذرند را توسط

خطوط زیر معین می‌کنیم:

```
.param VDDx=1.6V
.param tempv=25

*NAME P1P2TYPEVALUE
V1 VDD 0 DC VDDx
VB0 33 0 DC 0V
VB0C 34 0 DC VDDx
VA1 35 0 DC 0V
VA1C 36 0 DC VDDx
VB1 37 0 DC 0V
VB1C 38 0 DC VDDx
```

```
*Testing Output with pulses
VA0 31 0 Pulse VDDx 0.0V
+0ns 2ps 2ps 1ns 2ns
VA0C 32 0 Pulse 0.0V VDDx
+0ns 2ps 2ps 1ns 2ns
```

```
* SUBCIRCUITS
.SUBCKT buffer 1 2 19
M1 3 1 19 19 PCH W='4*0.18U' L=0.18U
M2 3 1 0 0 NCH W='2*0.18U' L=0.18U
M3 2 3 19 19 PCH W='12*0.18U' L=0.18U
M4 2 3 0 0 NCH W='6*0.18U' L=0.18U
.ENDS buffer
```

```
*Buffering Inputs
X1 31A0 VDD buffer
X2 32A0C VDD buffer
X3 33B0 VDD buffer
X4 34B0C VDD buffer
X5 35A1 VDD buffer
X6 36A1C VDD buffer
X7 37B1 VDD buffer
```

کد Netlist این بخش کاملاً مشابه Netlist بخش الف. است و برای شبیه‌سازی و بدست آوردن نمودارهای تاخیر انتشار و توان حداکثر برحسب تغییر ولتاژ، دستورات زیر را هم اضافه می‌کنیم:

```
.MEASURE TRAN tplh TRIGV(A0) VAL='VDDx/2'
+fall=1 TARG V(out) VAL='VDDx/2' RISE=1
.MEASURE TRAN tphl TRIGV(A0) VAL='VDDx/2'
+RISE=1 TARG V(out) VAL='VDDx/2' FALL=1
.MEASURE TRAN tpd PARAM='(tplh + tphl)/2'
.meas tran PeakPower max Power
+from=0NS to=4NS
.meas tran AvgPower Avg Power
+from=0NS to=4NS
.TRAN 1PS 4NS SWEEP VDDx 1.6v 2v 0.01v
.TEMP tempx
```